

IBM今在《Science》发表全新突破！碳纳米管打造世界最小晶体管，“碳谷”终将取代“硅谷”？

 www.sohu.com/a/153406481_354973

原标题：IBM今在《Science》发表全新突破！碳纳米管打造世界最小晶体管，“碳谷”终将取代“硅谷”？

随着计算机全面进入纳米时代，工程师们发现想要遵循摩尔定律变得越来越难了。

1965年，Intel创始人戈登·摩尔提出了提出了“摩尔定律”，即集成电路上可容纳的晶体管数量大约每隔1-2年便会增加一倍，性能也随之翻倍。

五十多年来，摩尔定律一直有效，但目前业界的预测是，未来10-15年，在进行三次技术升级后，芯片制造工艺将达到5纳米，这意味着单个晶体管栅极的长度将仅为10个原子大小。在此基础上继续突破几乎是不可能的——从技术上讲，你不可能造出单个原子大小的晶体管。

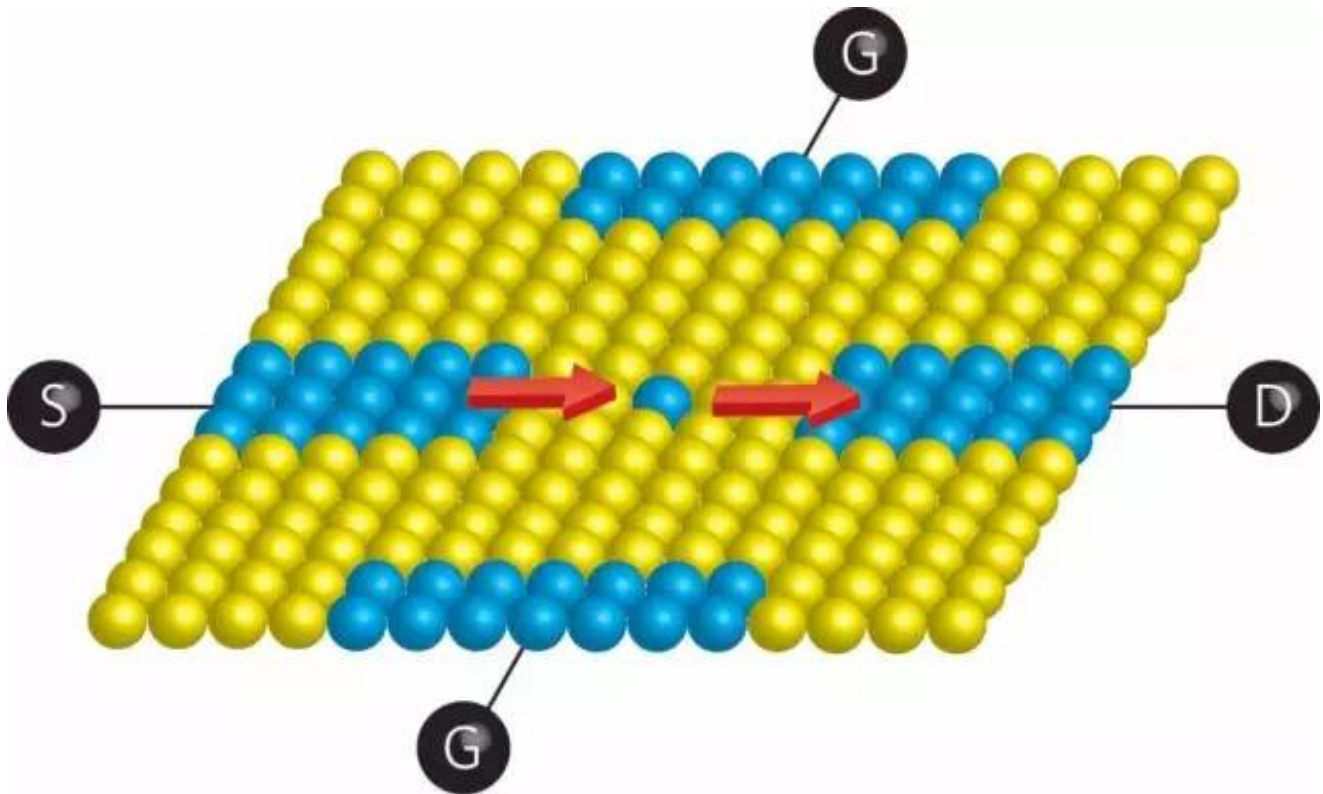


图 | 研究人员想象出的单原子晶体管概念图

另外，因为考虑到生产成本，制造商们将不再有意愿继续改进制程工艺，因为目前的芯片计算能力基本可以满足需求。这一趋势其实在模拟芯片市场早就出现了，很多模拟芯片厂商还在使用五年前的工艺来生产产品。

而且，像移动设备中使用的WiFi芯片，28纳米的制程工艺已经足够好了，完全没必要花费大笔研发经费去升级到10纳米CMOS（互补金属氧化物半导体）工艺。



正因为上述这些原因，让近来关于摩尔定律即将失效的言论越来越盛行。使用了五十多年的硅基 CMOS 晶体管制造工艺，如果在未来无法找到可行的替代方案，我们或许真的会遭遇计算力瓶颈。

不过，好在科学界和产业界也都预计到了瓶颈期的临近，也试图寻找各种各样的办法，让摩尔定律继续有效。

这次，来自IBM的研究人员们找到了一种全新的芯片制造工艺，而且制造晶体管所使用的材料不再是硅，而是碳纳米管！研究成果一经公布，《Science》杂志官网甚至发文表示：IBM的科学家基于碳纳米管打造世界最小晶体管，难道“硅谷”终将变成“碳谷”？



图 | “硅谷”终将变成“碳谷”？

文归正题！来自 IBM 的研究人员刚刚公布了一种全新的晶体管制造方法：使用碳纳米管来替代传统的硅基 CMOS 工艺，题目为“Carbon nanotube transistors scaled to a 40-nanometer footprint”的研究报告也已发表于今天出版的《Science》杂志上。

其实，科学家们一直在对碳纳米管晶体管进行持续的探索——这是一种直径仅为 1 纳米，或十亿分之一米的管状纳米级石墨晶体。

但是，使用碳纳米管来替代传统硅基晶体管最大的难度在于，如果要达到理想的性能，碳纳米管截面直径要达到100纳米左右，这比目前的硅晶体管要大得多。

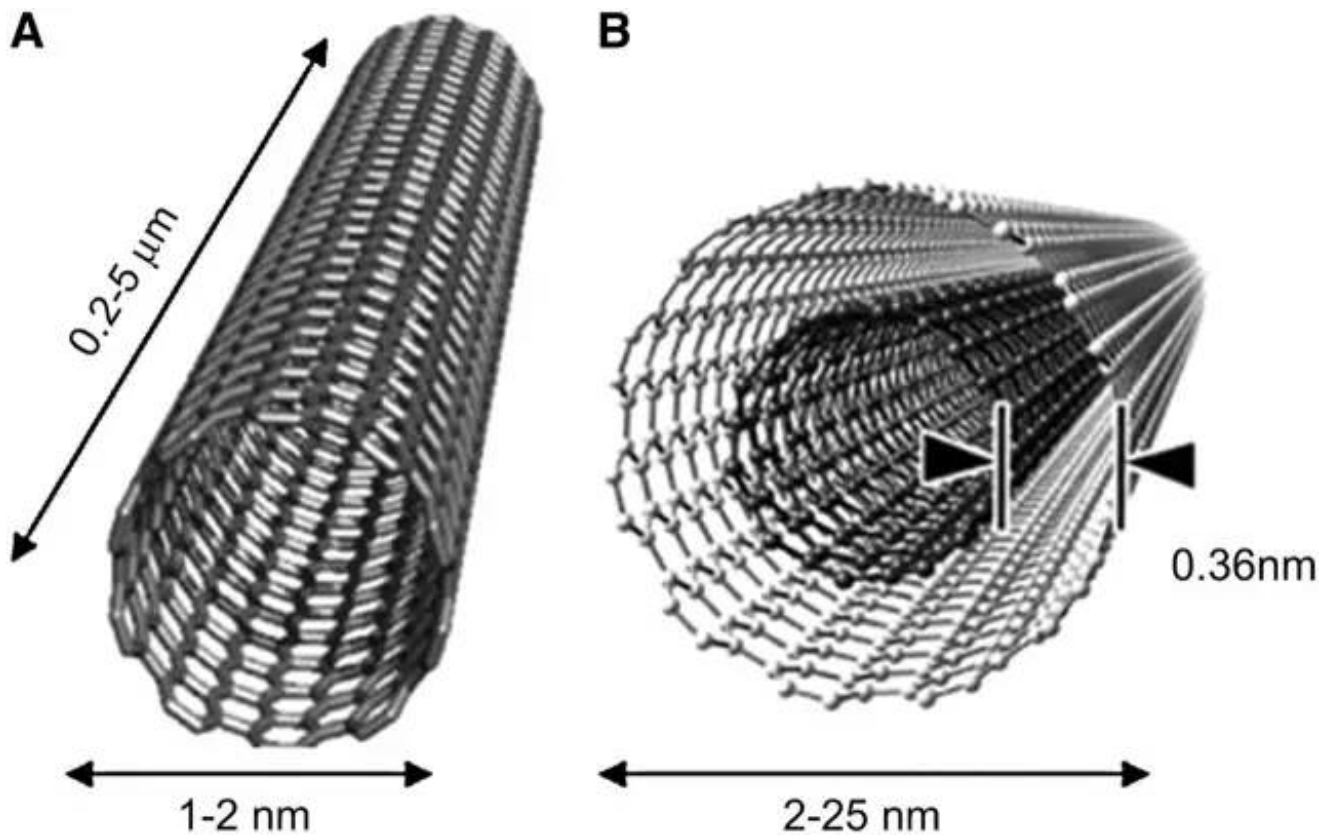


图 | 碳纳米管

为了减少这个数字，来自 IBM 托马斯J.沃森研究中心的研究团队使用了一种全新的技术来构建电流流入、流出的碳纳米管触点——使用钼金属来直接接驳碳纳米管端部，从而减小了体积。

同时，他们还添加了钴，使得这种连接在较低温度下也能生效。原理非常简单，由于热胀冷缩，低温能减小触点间的间隙。

研究中还解决了一个重要问题，那就是如何在触点间传输足够的电流。研究人员通过在相邻晶体管之间平行放置由数根碳纳米管组成的纳米线解决了该问题。

最终，整个晶体管的接脚面积被压缩到了40平方纳米。这个数字成为了“国际半导体技术发展路线图”（International Technology Roadmap for Semiconductors, ITRS）近十年来的新标杆。

而且在随后的测试表明，IBM研究团队开发碳纳米管晶体管比目前的硅晶体管速度更快、效率更高！

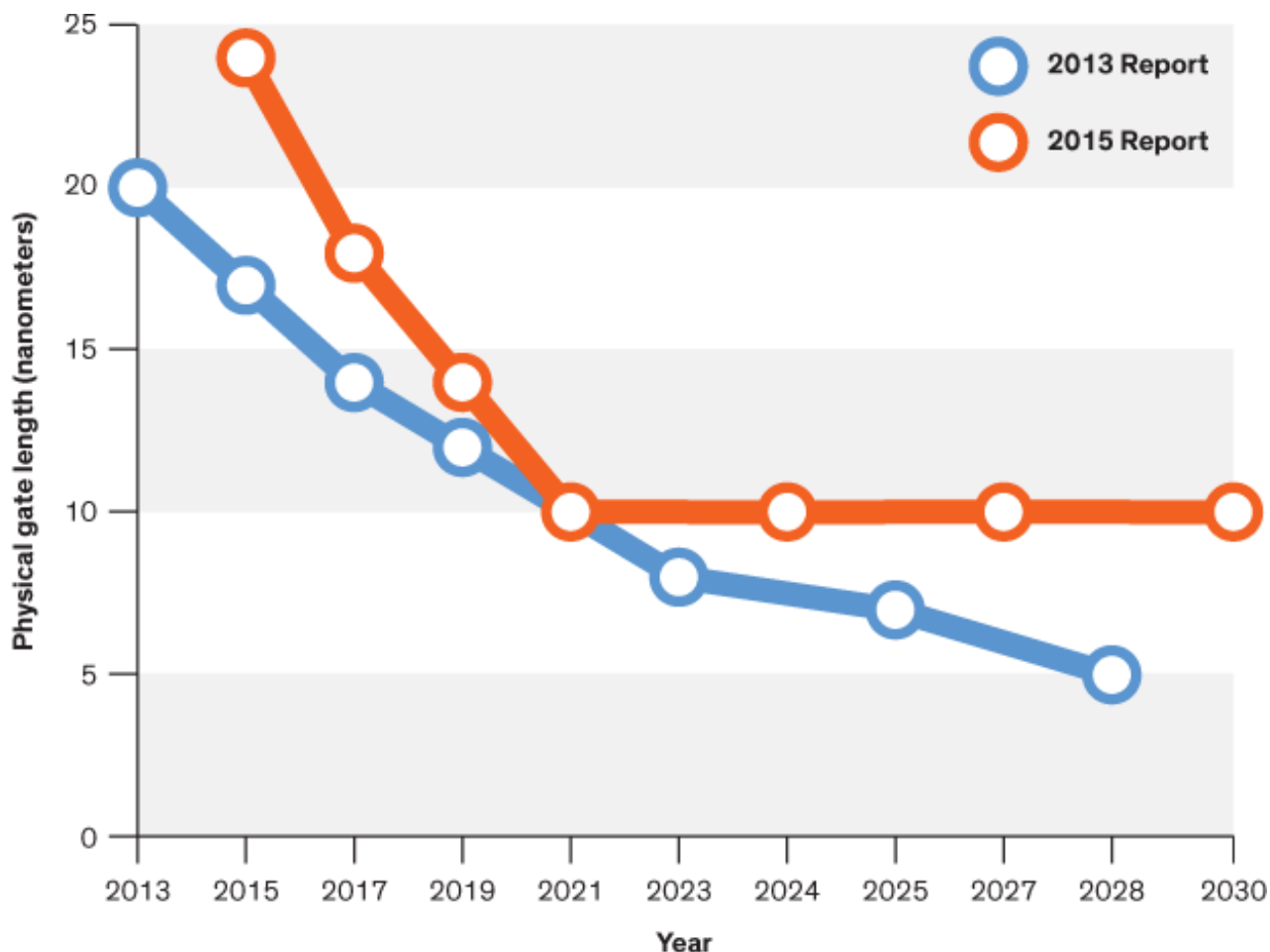


图 | ITRS是由世界上五个主要的半导体制造国家和地区的相关协会所资助的组织，其最新研究报告指出，晶体管将在2021年开始停止继续缩小。图中蓝色曲线为2013年的预测，红色曲线为2015年最新预测。

晶体管能够缩小到如此小的尺寸，要归功于用**碳纳米管代替硅作为晶体管间的通道**。碳纳米管的厚度只有1纳米，这样的厚度在静电场上有着显著的优势，可以让器件的栅极长度降低到10纳米，且不会造成短沟道效应给器件性能带来的不利影响。

另外，纳米管的另一个好处就是**拥有更快的电子传输速度**，这对于提升器件性能无疑是至关重要的。

此外，晶体管微型化的另一个关键在于采用“**端点连接技术**”。通常来讲，晶体管中的金属部分是沿着晶体管中主体半导体材料纵向粘接，导致粘接的部分很长。而IBM展示的这种端点连接技术可以使得晶体管的粘接部位长度大大缩小：**从 300 纳米缩小到仅 10 纳米**，而且不会增加电阻。

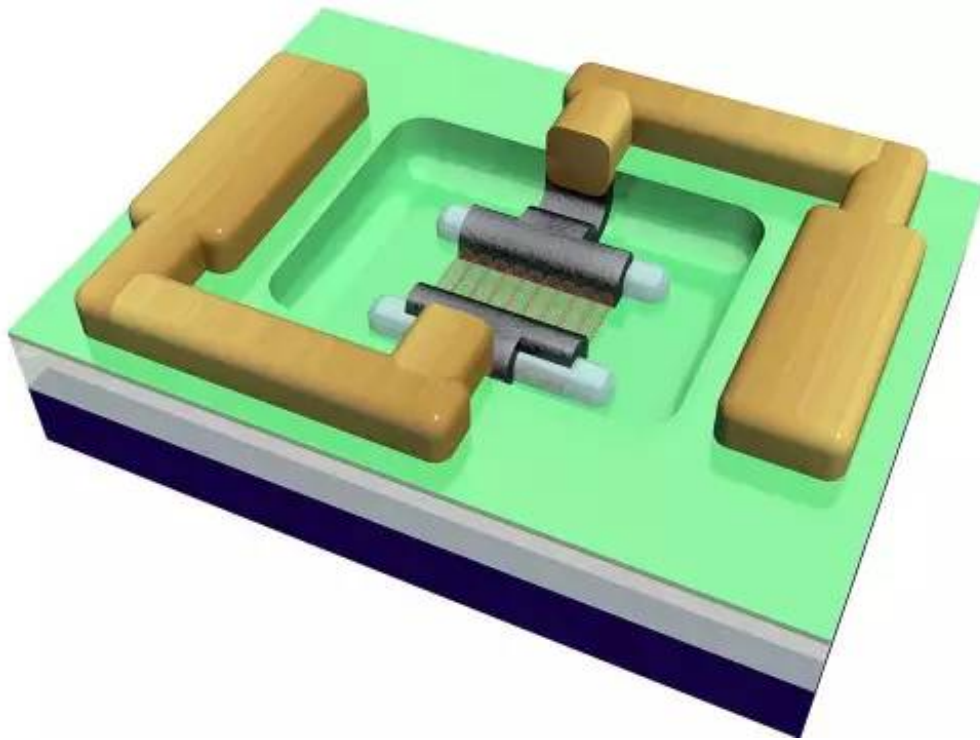


图 | 使用了碳纳米管的器件模型

为了保证器件的可靠性，IBM的研究人员还对碳纳米管中的金属部件进行了热稳定性和碳反应性测试。然后，还要保证端点在足够低的温度下仍然可以进行连接，以维持器件的几何形状。

然而，保证低温状态下的稳定连接也是一个难题，研究人员在反复试验后发现，**钴钼合金在碳纳米管粘接上有着出乎意料的优势**：

一方面，钼能保证合金的热稳定性；另一方面，钴则起到了在相对较低温度下进行连接的催化剂作用。将两种金属的特征相结合，可以避免碳纳米管粘合金属时所需的650摄氏度高温。

这次 IBM 发表于《Science》杂志的论文联合作者、IBM沃森研究中心研究员，同时也是 **2016 年《麻省理工科技评论》“年度35岁以下创新35人” (MIT TR35) 获得者曹庆 (Qing Cao)** 表示：“使用低功函数金属实现纳米管的端部接触是非常困难的。然而，我们已经开发了一些工艺来有效地掺杂纳米管通道，所以即便是在在高功函数金属端部接触的情况下，也可以实现n沟道 (*n*-channel) 器件的操作。”



图 | IBM沃森研究中心研究员，MIT TR35获得者曹庆

虽然，通过掺杂实现 n 沟道器件操作还有很多需要改进的地方，但顶栅结构的器件确实具有令人意想不到的优势。与底栅结构相比，目前硅晶体管中使用的顶栅器件结构更容易实现器件之间的复杂连接，同时也能实现更高的器件集成密度。

所以，除了与钴钼合金触点端接的纳米管通道之外，纳米管的顶部也覆盖有一层超薄的高介电氧化物，作为具有金属顶栅的栅极介电层。

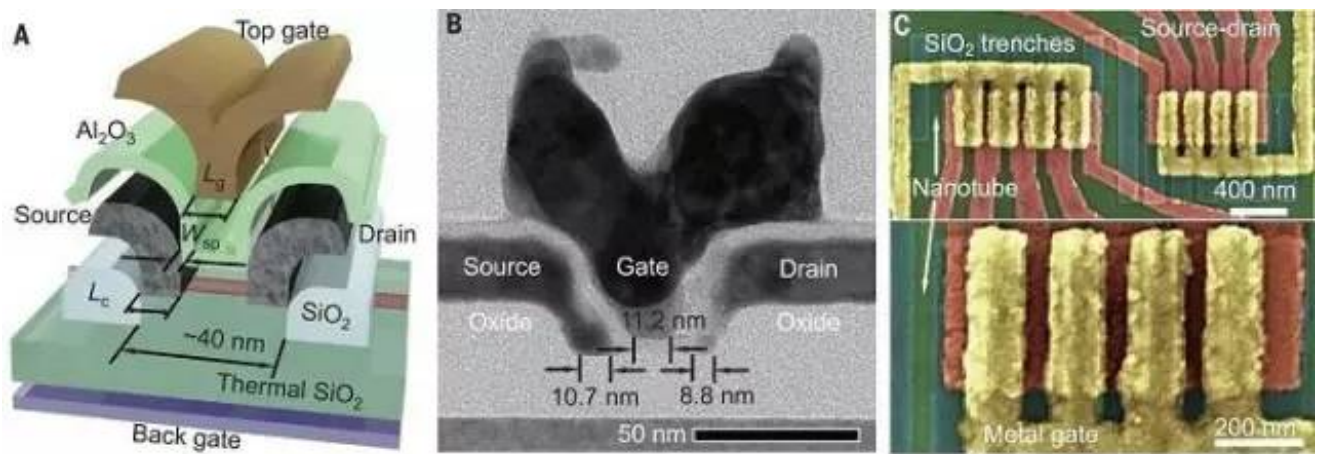


图 | 单个碳纳米管晶体管的结构图及显微图

当然，作为一项全新技术，曹庆也承认，在高性能纳米管逻辑晶体管真正成为商业化技术之前，还有一些制程方面的

问题需要解决。

曹庆表示，目前阶段的主要挑战是器件的稳定性，但最终团队希望能将数十亿纳米管晶体管集成到功能电路中。为了做到这一点，团队需要保证晶体管之间良好的一致性，从而实现在相同电压下，所有晶体管都能正常工作。

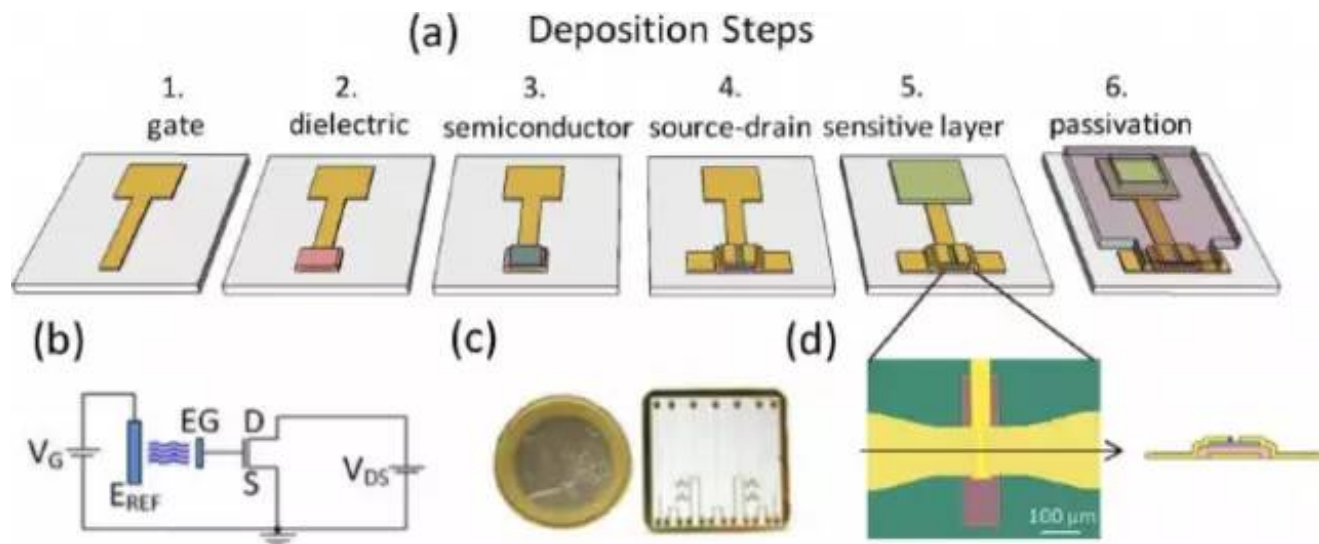


图 | 传统硅基半导体逻辑门制造工艺以及钝化步骤

尽管在过去几年中，半导体纳米管的纯度已得到显著改善，经过通电检测，其纯度已经升到了**99.999%**以上，但制造过程需要更稳定和更加标准化，从而能够保证将来大批量生产时的可靠性。

-End-

参考：

DOI: 10.1126/science.aan7042

<http://www.sciencemag.org/news/2017/06/scientists-use-carbon-nanotubes-make-world-s-smallest-transistors>

<http://science.sciencemag.org/content/356/6345/1369>

<http://spectrum.ieee.org/nanoclast/semiconductors/devices/carbon-nanotubes-reduce-transistor-footprint-to-forty-nanometers>

<http://spectrum.ieee.org/semiconductors/devices/transistors-could-stop-shrinking-in-2021>

欲知会员计划详情，请点击以上图片[返回搜狐](#)，[查看更多](#)

责任编辑：